

**Japan s Publication for Utility Model Application**

**No. 8055/1990 (Jitsukaihei 2-8055)**

**A. Relevance of the above-identified Document**

This document has relevance to claims 1 through 11 of the present application.

**B. Translation of the Relevant Passages of the Document**

[CLAIMS]

A thin film photosenser which includes a sensor thin film transistor and a switching thin film transistor both of which are formed on a surface of a substrate, a drain electrode of said sensor thin film transistor and a source electrode of said switching thin film transistor being connected with each other via a connecting electrode which is integrated with both the drain and source electrodes, a drain of said sensor thin film transistor being connected with a capacitor, comprising:

a capacitor electrode which faces said connecting electrode,

said capacitor electrode being integrated with a gate electrode of said sensor thin film transistor,

the gate electrode and a source electrode of said sensor thin film transistor being connected with each other.



## [DETAILED DESCRIPTION OF THE UTILITY MODEL]

### [EMBODIMENTS]

This image sensor is driven in the following manner. First, for initialization, the reset transistor 21, the data line selecting transistor 20, and the switching transistors  $T_2$  of all the optical sensors are turned on so as to charge up the capacitors  $C$  of all the optical sensors to respectively have a power supply voltage  $V_{DD}$ . Next, a photo shutter (not shown) provided on an incident surface side of the image sensor is opened for carrying out imaging. Here, when the sensor transistor  $T_1$  of the photosensor receives light, a photocurrent in accordance with the intensity of light flows the sensor transistor  $T_1$  so as to discharge the capacitor  $C$ . Then, when the photo shutter is shut, the capacitor  $C$  stops discharging. Next, by sequentially selecting the address lines  $AL_1, AL_2, \dots$ , and the data lines  $DL_1, DL_2, \dots$ , so as to sequentially turn on the switching transistors  $T_2$  of the respective photosensors, data signals corresponding to inter-terminal voltages of the capacitors  $C$  of the respective photosensors are read out to a data output line OUT via the data line selecting transistor 20. The data signals are then amplified by a CMOS amplifier, etc., so as to be output.



[DRAWINGS]

[FIG. 1]

T<sub>2</sub>: switching thin film transistor

15: connecting electrode

C: capacitor

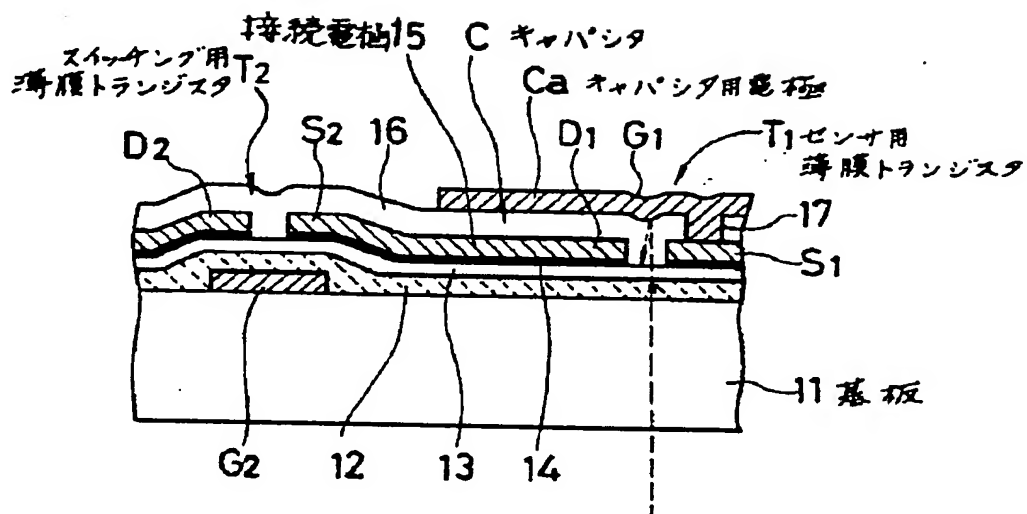
Ca: capacitor electrode

T<sub>1</sub>: sensor thin film transistor

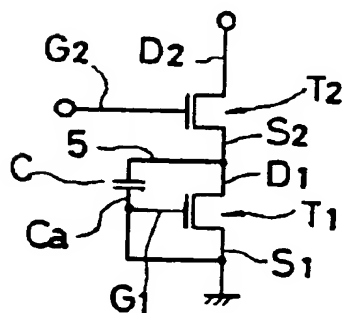
11: substrate

[FIG. 2]





第 1 図



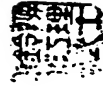
第 2 図

582

出 願 人 カシオ計算機株式会社  
代 理 人 鈴 江 武 彦







④ 日本国特許庁 (J.P.) ④ 実用新案出願公開  
④ 公開実用新案公報 (U) 平2-8055

④ Int. Cl. 27/146  
H 01 L 27/01  
31/10  
④ 出願番号 戸内整理番号 ④ 公開 平成2年(1990)1月18日  
7514-5F  
7377-5F H 01 L 27/14  
7733-5F 31/10 C E

④ 実 昭63-82853  
④ 出 昭63(1988)6月24日  
④ 考 案 者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会社  
④ 出 願 人 カシオ計算機株式会社 社八王子研究所内  
④ 代 理 人 弁護士 鈴木 武彦 東京都新宿区西新宿2丁目8番1号 外2名

④ 考案の名称 薄膜光センサ

明 細 書

1. 考案の名称

薄膜光センサ

2. 実用新案登録請求の範囲

基板面にセンサ用薄膜トランジスタとスイッチング用薄膜トランジスタとを形成するとともに、前記センサ用薄膜トランジスタのドレイン電極と前記スイッチング用薄膜トランジスタのソース電極とをこの両電極と一体の接続電極を介して接続し、かつ前記センサ用薄膜トランジスタのドレインにキャパシタを接続した薄膜光センサにおいて、前記接続電極と対向させてキャパシタ用電極を配置し、このキャパシタ用電極を前記センサ用薄膜トランジスタのゲート電極と一体の電極とするとともに、前記センサ用薄膜トランジスタのゲート電極とソース電極とを接合したことを特徴とする薄膜光センサ。

3. 考案の詳細な説明

(産業上の利用分野)

本考案は薄膜光センサに関するものである。

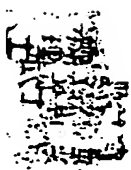


(従来の技術)

最近、イメージセンサ等を構成する光センサとして、薄膜トランジスタを用いた薄膜光センサが開発されている。

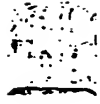
第5図および第6図はそれぞれ従来の薄膜光センサを示している。

まず、第5図の薄膜光センサについて説明すると、図中1は透明基板(ガラス基板)、T<sub>1</sub>は光を受けて動作するセンサ用薄膜トランジスタ(以下センサトランジスタという)、T<sub>2</sub>は光センサの選択動作を行なうスイッチング用薄膜トランジスタ(以下スイッチングトランジスタという)であり、この両トランジスタT<sub>1</sub>、T<sub>2</sub>はいずれも逆スタガー構造のものとされている。この光センサは、基板1面にセンサトランジスタT<sub>1</sub>、およびスイッチングトランジスタT<sub>2</sub>のゲート電極G<sub>1</sub>、G<sub>2</sub>とキャパシタ用電極C<sub>a</sub>を形成し、その上にゲート絶縁膜2と1- $\alpha$ -Si半導体層3を積層形成するとともに、この半導体層3の上にn+ $\alpha$ -Siコンタクト層4を介して、センサトラン



ジスタT<sub>1</sub>のソース、ドレイン電極S<sub>1</sub>、D<sub>1</sub>と、スイッチングトランジスタT<sub>2</sub>のソース、ドレイン電極S<sub>2</sub>、D<sub>2</sub>とを形成したもので、センサトランジスタT<sub>1</sub>のドレイン電極D<sub>1</sub>とスイッチングトランジスタT<sub>2</sub>のソース電極D<sub>2</sub>とは、この両電極D<sub>1</sub>、S<sub>2</sub>と一体の接続電極5を介して接続されている。また、この接続電極5は、ゲート絶縁膜2および半導体層3を介して前記キャパシタ用電極C<sub>a</sub>と対向しており、この接続電極5とキャパシタ用電極C<sub>a</sub>との間は、電荷を充放電するキャパシタCとされている。6は上記トランジスタT<sub>1</sub>、T<sub>2</sub>の上に形成された透明絶縁膜である。また、7はセンサトランジスタT<sub>1</sub>の側部に形成されたスリット状の光取入れ開口であり、透明基板1を透過して入射する光は、破線で示すように上記開口7から取入れられ、透明絶縁膜6上に形成した反射膜8で反射されて、センサトランジスタT<sub>1</sub>のチャネル部(半導体層3)に入射するようになってい

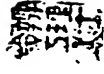
る。また、第6図に示した薄膜光センサは、第5図



の薄膜光センサにおける光取入れ開口7と反射膜8とをなくして、透明導電膜6面側から光を受けるようにしたもので、センサトランジスタ $T_1$ およびスイッチングトランジスタ $T_2$ とキャパシタCは、第5図の薄膜光センサと同一の構成となっている。なお、この薄膜光センサは透明導電膜6面側から光を受けるものであるために、基板1は透明でなくともよい。また、この薄膜光センサでは、透明導電膜6面側から入射する光がスイッチングトランジスタ $T_2$ のチャネル部に入射してこのスイッチングトランジスタ $T_2$ を誤動作させるのを防ぐために、透明導電膜6面に、スイッチングトランジスタ $T_2$ のチャネル部に対向させて遮光膜9を形成している。

第7図は第5図および第6図に示した薄膜光センサの等価回路を示している。

この薄膜光センサは、センサトランジスタ $T_1$ が受光する光の強度に応じたデータ信号をスイッチングトランジスタ $T_2$ のドレイン電極 $D_2$ から出力するもので、接点電極5とキャパシタ用電極



Caとの間に構成したキャパシタCに電荷をチャージし、光センサの入射面側に配置した光シャッタ（図示せず）を閉いて入射光をセンサトランジスタ $T_1$ に受光させると、このセンサトランジスタ $T_1$ に光強度に応じた光電流が流れてキャパシタCが放電し、次いで光シャッタを閉じるとキャパシタCの放電が停止する。このキャパシタCの端子間電圧は、スイッチングトランジスタ $T_2$ をオンさせることによって、このスイッチングトランジスタ $T_2$ のドレイン電極 $D_2$ からデータ信号として読み出される。

〔考察が解決しようとする課題〕

しかしながら、上記第5図および第6図に示した従来の薄膜光センサは、第7図のような等価回路を構成するものであるために、センサトランジスタ $T_1$ のゲート電極 $G_1$ とソース電極 $S_1$ の各端子と、スイッチングトランジスタ $T_2$ のゲート電極 $G_2$ とドレイン電極 $D_2$ の各端子と、およびキャパシタ用電極Caの端子との5つの端子の電圧を制御する必要がある、したがって駆動が複雑



であるという問題をもっていた。

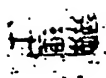
本考案は上記のような実情にかんがみてなされたものであって、その目的とするところは、端子数を少なくして駆動を容易にした薄膜光センサを提供することにある。

〔問題を解決するための手段〕

本考案は上記目的を達成するために、センサ用薄膜トランジスタのドレイン電極とスイッチング用薄膜トランジスタのソース電極との接続電極と対向してキャパシタを構成するキャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともに、センサ用薄膜トランジスタのゲート電極とソース電極とを接合したものである。

〔作用〕

すなわち、本考案の薄膜光センサは、キャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともにセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することによって、キャパシタの一方の端子とセンサ

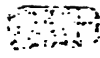


用薄膜トランジスタのゲート電極およびソース電極の端子を1つに共通接続したものであり、このようにすれば、光センサの端子数を、上記端子と、スイッチング用薄膜トランジスタのゲート電極およびドレイン電極の各端子との3つだけにすることができ、本考案の薄膜光センサによれば、端子数を少なくして駆動を容易にすることができる。

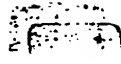
〔実施例〕

以下、本考案の薄膜光トランジスタについてその一実施例を第1図および第2図を参照し説明する。

第1図は薄膜光トランジスタの断面を示したもので、図中11は透明基板（ガラス基板）、T<sub>1</sub>はセンサ用薄膜トランジスタ（以下センサトランジスタという）、T<sub>2</sub>はスイッチング用薄膜トランジスタ（以下スイッチングトランジスタという）であり、センサトランジスタT<sub>1</sub>はコプラナー構造とされ、スイッチングトランジスタT<sub>2</sub>は逆スタガー構造とされている。この光センサは、基板



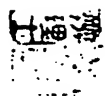
11面にスイッチングトランジスタ $T_2$ のゲート電極 $G_2$ を形成し、その上にセンサトランジスタ $T_1$ およびスイッチングトランジスタ $T_2$ の形成領域全体にわたって透明なゲート絶縁膜12と $i-a-Si$ 半導体層13とを積層形成するとともに、この半導体層13の上に $n+a-Si$ コンタクト層14を介して、センサトランジスタ $T_1$ のソース、ドレイン電極 $S_1$ 、 $D_1$ と、スイッチングトランジスタ $T_2$ のソース、ドレイン電極 $S_2$ 、 $D_2$ とを形成し、さらにその上に透明絶縁膜16を形成して、この透明絶縁膜16の上に、センサトランジスタ $T_1$ のゲート電極 $G_1$ を形成したもので、センサトランジスタ $T_1$ のドレイン電極 $D_1$ と選択トランジスタ $T_2$ のソース電極 $D_2$ とは、この両電極 $D_1$ 、 $S_2$ と一体の接続電極15を介して接続されている。また、上記センサトランジスタ $T_1$ のゲート電極 $G_1$ は、前記接続電極15の上方にこの接続電極15と所定の重なり長さをもって対向するように延長させて形成されており、このゲート電極 $G_1$ 延長部は、透明



絶縁膜16を介して接続電極15と対向してこの接続電極15との間にキャパシタCを構成するキャパシタ用電極Caとされている。さらに、センサトランジスタ $T_1$ のゲート電極 $G_1$ は、上記透明絶縁膜16に設けたコンタクト孔117においてセンサトランジスタ $T_1$ のソース電極 $S_1$ に接続され、このソース電極 $S_1$ と導通接続されている。

この薄膜光センサは、センサトランジスタ $T_1$ が受光する光の強度に応じたデータ信号をスイッチングトランジスタ $T_2$ のドレイン電極 $D_2$ から読み出すもので、基板11側から第1図に破線で示すように入射する光は、透明ゲート電極12を透過してセンサトランジスタ $T_1$ のチャネル部（半導体層13）に入射し、またこのチャネル部を通過した光は、透明絶縁膜16を通過してゲート電極 $G_1$ で反射され、再びチャネル部に入射する。

しかして、上記薄膜光センサにおいては、キャパシタ用電極Caをセンサトランジスタ $T_1$ のゲート電極 $G_1$ と一体の電極とするとともに、セン



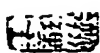
サトランジスタ $T_1$ のゲート電極 $G_1$ をソース電極 $S_1$ に接続しているから、キャパシタ $C$ の一方の端子とセンサトランジスタ $T_1$ のゲート電極 $G_1$ およびソース電極 $S_1$ の端子を、1つの端子に共通接続することができる。

第2図は上記薄膜光センサの透過回路を示したもので、この光センサの端子数は、キャパシタ $C$ の一方の端子とセンサトランジスタ $T_1$ のゲート電極 $G_1$ およびソース電極 $S_1$ の端子を共通接続した1つの端子（接地端子）と、スイッチングトランジスタ $T_2$ のゲート電極 $G_2$ およびドレイン電極 $D_2$ の各端子との3つだけである。したがって、上記薄膜光センサによれば、その端子数を少なくして駆動を容易にすることができる。

すなわち、第3図は上記薄膜光センサを縦横に配列したイメージセンサの回路を示したもので、上記薄膜光センサはその端子が3つだけであるから、キャパシタ $C$ の一方の端子とセンサトランジスタ $T_1$ のゲート電極 $G_1$ およびソース電極 $S_1$ の端子を共通接続した端子を接地ライン（図示せ

— 10 —

573



ず)に接続し、スイッチングトランジスタ $T_2$ のゲート電極 $G_2$ をアドレスライン $AL_1$ 、 $AL_2$ ...に接続し、スイッチングトランジスタ $T_2$ のドレイン電極 $D_2$ をデータライン $DL_1$ 、 $DL_2$ ...に接続するだけでイメージセンサを構成することができる。なお、上記接地ラインは、センサトランジスタ $T_1$ のソース電極 $S_1$ と一体に形成され、アドレスライン $AL_1$ 、 $AL_2$ ...およびデータライン $DL_1$ 、 $DL_2$ ...は、それぞれスイッチングトランジスタ $T_2$ のゲート電極 $G_2$ およびドレイン電極 $D_2$ と一体に形成されている。また、各データライン $DL_1$ 、 $DL_2$ ...はそれぞれ、データライン選択トランジスタ $20$ を介してデータ出力ライン $OUT$ に接続されている。そして、データライン選択トランジスタ $20$ は、データ選択ライン $DS_1$ 、 $DS_2$ ...からのデータライン選択信号によってスイッチング動作する。また、第3図において、 $21$ はリセットトランジスタであり、このリセットトランジスタ $21$ およびデータライン選択トランジスタ $20$ もそれぞれ薄膜トランジス

— 11 —

574

タとされている。

このイメージセンサは次のようにして駆動される。まず、初期化として、リセットトランジスタ21とデータライン選択トランジスタ20および全ての光センサのスイッチングトランジスタ $T_2$ をオンさせ、全ての光センサのキャパシタCを電源電圧 $V_{DD}$ までチャージアップさせる。次に、イメージセンサの入射面側に配置した光シヤッタ（図示せず）を開いて撮像する。このとき、光センサのセンサトランジスタ $T_1$ が受光すると、このセンサトランジスタ $T_1$ に光強度に応じた光電流が流れてキャパシタCが放電し、次いで光シヤッタを閉じるとキャパシタCの放電が停止する。次に、アドレスライン $AL_1, AL_2, \dots$ とデータライン $DL_1, DL_2, \dots$ を順次選択して各光センサのスイッチングトランジスタ $T_2$ を順次オンさせると、各光センサのキャパシタCの端子間電圧に応じたデータ信号が、データライン選択トランジスタ20を介してデータ出力ラインOUTに読み出され、CMOSアンプ等により増幅されて出

力される。なお、第3図には光センサを縦横に配列したエリアイメージセンサを示したが、上記薄膜光センサを1列に配列すれば、ラインイメージセンサを構成することができる。

このように、上記薄膜光センサは、その端子数が少ないから、その駆動は容易である。しかも、上記実施例では、センサトランジスタ $T_1$ をコプラナー構造とし、スイッチングトランジスタ $T_2$ を逆スタガー構造としていているから、スイッチングトランジスタ $T_2$ のゲート電極 $T_2$ が、基板11側から入射する光を遮ることになり、したがって別に遮光膜を設けなくても、スイッチングトランジスタ $T_2$ が光によって誤動作するのを防ぐことができる。さらに、上記実施例の光センサでは、基板111例から第1図に破線で示すようにに入射する光が、透明ゲート電極12を透過するだけでセンサトランジスタ $T_1$ のチャネル層に入射するから、第5図に示した従来の薄膜光センサのように入射光を反射膜で反射させてセンサトランジスタに受光させる場合に比べて光のロスを少なくす

1

ることができ、したがって感度においても優れているし、またセンサトランジスタ $T_1$ のチャネル部を通過した光も、ゲート電極 $G_1$ で反射されて再びチャネル部に入射するために、第6図に示した従来の薄膜光センサよりもさらに感度を向上させることができる。また、上記薄膜光センサにおいては、キャパシタ用電極 $C_a$ をセンサトランジスタ $T_1$ のゲート電極 $G_1$ と一体の電極とするとともに、センサトランジスタ $T_1$ のゲート電極 $G_1$ をソース電極 $S_1$ に接合接続しているために、従来の薄膜光センサに比べてセンサトランジスタ $T_1$ とキャパシタ $C$ 部との間を小さくして光センサの面積を小さくすることができ、したがって、この光センサを配列してイメージセンサを構成する場合は、各光センサの集積度を高くしてイメージセンサの解像度を向上させることができる。

なお、上記実施例では、基板11側から光を入射させる光センサについて説明したが、基板11側とは反対側から光を入射させるようにする場合、センサトランジスタ $T_1$ を逆コプラナー構造

— 14 —

577

2

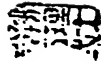
とし、スイッチングトランジスタ $T_2$ をスタガー構造とすればよい。さらに、本考案は、センサトランジスタ $T_1$ をコプラナー構造（または逆コプラナー構造）とし、スイッチングトランジスタ $T_2$ を逆スタガー構造（またはスタガー構造）とするものに限らず、センサトランジスタ $T_1$ を逆スタガー構造（またはスタガー構造）とし、スイッチングトランジスタ $T_2$ をコプラナー構造（または逆コプラナー構造）とする場合にも適用できるし、また、センサトランジスタ $T_1$ とスイッチングトランジスタ $T_2$ とを逆スタガー構造またはスタガー構造とする場合にも適用できる。

第4図は、センサトランジスタ $T_1$ とスイッチングトランジスタ $T_2$ とをそれぞれ逆スタガー構造とした実施例を示したもので、この実施例の薄膜光センサは、基板11面にセンサトランジスタ $T_1$ 、およびスイッチングトランジスタ $T_2$ のゲート電極 $G_1$ 、 $G_2$ を形成し、かつセンサトランジスタ $T_1$ のゲート電極 $G_1$ を延長させてこの延長部をキャパシタ用電極 $C_a$ とするとともに、その

— 15 —

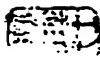
578





上にゲート絶縁膜 12 と 1-a-Si 半導体層 13 を結晶形成し、この半導体層 13 の上に n+a-Si コンタクト層 14 を介して、センサトランジスタ T<sub>1</sub> のソース、ドレイン電極 S<sub>1</sub>、D<sub>1</sub> と、スイッチングトランジスタ T<sub>2</sub> のソース、ドレイン電極 S<sub>2</sub>、D<sub>2</sub> とを形成したもので、センサトランジスタ T<sub>1</sub> のドレイン電極 D<sub>1</sub> とスイッチングトランジスタ T<sub>2</sub> のソース電極 D<sub>2</sub> とは、この両電極 D<sub>1</sub>、S<sub>2</sub> と一体の接続電極 15 を介して接続されており、この接続電極 15 はゲート絶縁膜 12 および半導体層 13 を介して前記キャパシタ用電極 C<sub>a</sub> と対向してこの間にキャパシタ C を構成している。また、センサトランジスタ T<sub>1</sub> のソース電極 S<sub>1</sub> は、ゲート絶縁膜 12 と半導体層 13 に設けたコンタクト孔 18 においてセンサトランジスタ T<sub>1</sub> のゲート電極 G<sub>1</sub> と接合されている。なお、16 は透明絶縁膜、19 はスイッチングトランジスタ T<sub>2</sub> のチャネル部に対向させて形成された遮光膜である。

この実施例の薄膜光センサにおいても、キャパ



シタ用電極 C<sub>a</sub> をセンサトランジスタ T<sub>1</sub> のゲート電極 G<sub>1</sub> と一体の電極とするとともに、センサトランジスタ T<sub>1</sub> のゲート電極 G<sub>1</sub> とソース電極 S<sub>1</sub> とを接合しているから、キャパシタ C の一方の端子とセンサトランジスタ T<sub>1</sub> のゲート電極 G<sub>1</sub> およびソース電極 S<sub>1</sub> の端子を 1 つの端子に共通接続することができ、したがって端子数は 3 つですむ。

#### (考案の効果)

本考案の薄膜光センサは、キャパシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともにセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することによって、キャパシタの一方の端子とセンサ用薄膜トランジスタのゲート電極およびソース電極の端子を 1 つに共通接続したものであるから、光センサの端子数を、上記端子と、スイッチング用薄膜トランジスタのゲート電極およびドレイン電極の各端子との 3 つだけにすることができ、したがって本考案の薄膜光センサによれば、端子数を少なくし

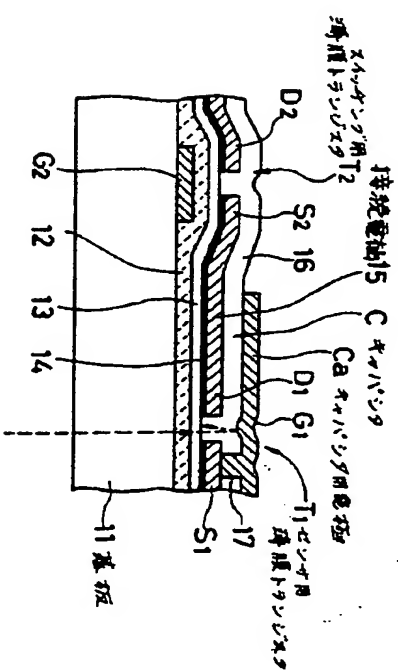
て駆動を容易にすることができると。

#### 4. 図面の簡単な説明

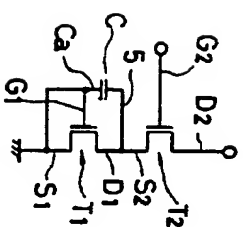
第1図および第2図は本考案の一実施例を示す薄膜光センサの断面図およびその等価回路図、第3図は本考案の薄膜光センサを用いたイメーヂセンサの回路図、第4図<sup>14</sup>本考案の他の実施例を示す薄膜光センサの断面図、第5図および第6図はそれぞれ従来の薄膜光センサの断面図、第7図は従来の薄膜光センサの等価回路図である。

11…基板、T<sub>1</sub>…セリサ用薄膜トランジスタ、  
G<sub>1</sub>…ゲート電極、S<sub>1</sub>…ソース電極、D<sub>1</sub>…ド  
レイン電極、T<sub>2</sub>…セリサ用薄膜トランジスタ、  
G<sub>2</sub>…ゲート電極、S<sub>2</sub>…ソース電極、D<sub>2</sub>…ド  
レイン電極、12…ゲート絶縁膜、13…半導体  
層、14…コンタクト層、15…接触電極、C<sub>a</sub>  
…キャパシタ用電極、C…キャパシタ、16…透  
明絶縁膜。

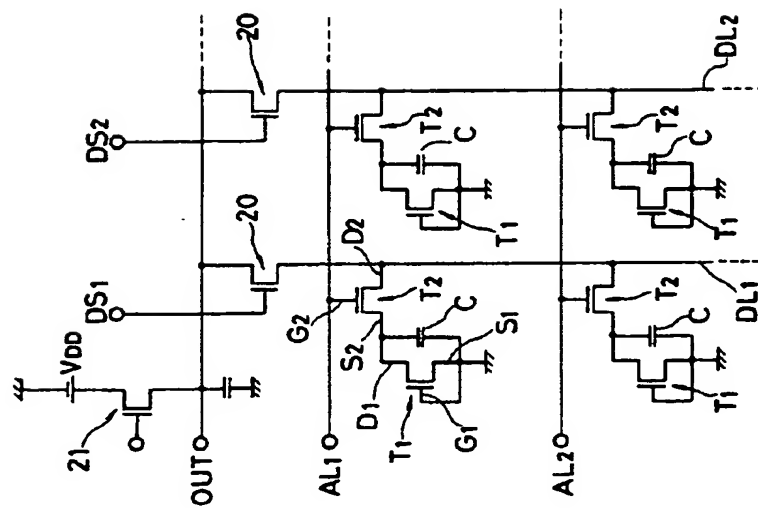
出願人代理人 弁理士 鈴江武彦



第一區

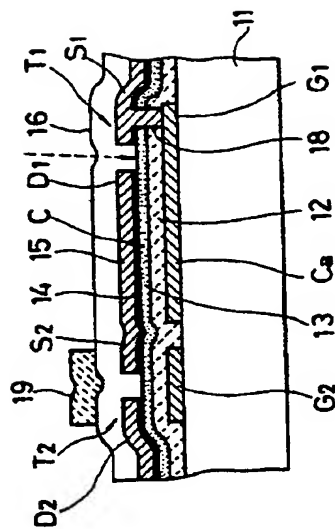


## 第2回



第 3 図

583  
実開 2-8055  
出願人 カシオ計算機株式会社  
代理人 鈴 江 武 彦



第 4 図

584  
実開 2-8055  
出願人 カシオ計算機株式会社  
代理人 鈴 江 武 彦

